


UNIT AND METHOD FOR DISPLAY CONTROL

Patent Number: JP6004042
Publication date: 1994-01-14
Inventor(s): MATSUZAKI HIDEKAZU; others: 03
Applicant(s):: CANON INC
Requested Patent:  JP6004042
Application Number: JP19920162947 19920622
Priority Number(s):
IPC Classification: G09G3/36
EC Classification:
Equivalents:

Abstract

PURPOSE:To enable the proper driving for partial rewriting at good timing while the compatibility between an FLCD(ferroelectric liquid crystal display) and a CRT as to software by determining the frequency of execution of a partial updating means according to the number counted by a counting means and the temperature measured by a measuring means.

CONSTITUTION:When display operation is started, an entire-surface refreshment mode is entered. After the entire-surface refreshment of one frame is performed, a frequency N of partial rewriting obtained from a specific table is referred to and when the frequency is '0', the entire-surface refreshment mode is carried on by one frame. When not, N-1 is substituted in a control variable (n). Then it is judged whether or not the partial rewriting is performed by as many times as set after the partial rewriting mode is entered. When the partial rewriting is not performed by as many times as set, the execution of next partial rewriting is expected. When it is judged that the partial rewriting is performed by as many times as sets, the entire-surface refreshment mode is set again and next output is expected. At this time, the table needs to be set in consideration of the ambient temperature of the FLCD 17.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-4042

(43) 公開日 平成6年(1994)1月14日

(51) Int. Cl. ⁵

G 0 9 G 3/36

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3

(全 1 8 頁)

(21) 出願番号 特願平4-162947

(22) 出願日 平成4年(1992)6月22日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松崎 英一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 関 敬幸

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 野々下 博

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 弁理士 丸島 儀一

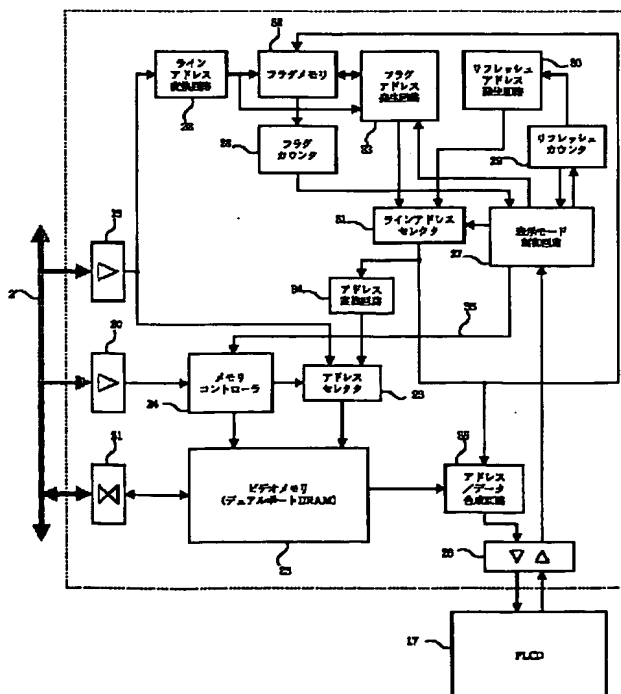
最終頁に続く

(54) 【発明の名称】 表示制御装置及び方法

(57) 【要約】

【目的】 強誘電性液晶表示装置の表示制御において、システム側からみてCRTとの互換性を保ちつつ、見かけ上の表示速度と表示品位を上げることを目的とする。

【構成】 強誘電性液晶表示装置の走査ラインに対応して、表示内容の更新及び未更新を検出して状態を示すフラグと、表示内容の全面リフレッシュ終了を検出する手段と、フラグを参照して部分書換えのラインアドレスを発生する手段を持ち、全面リフレッシュを優先して行い、リフレッシュ後にフラグをサーチして部分書換回の回数を決し、表示内容の未更新の走査ラインの部分書換えを実行する。



【特許請求の範囲】

【請求項1】 画素の表示状態を部分的に変更可能な表示装置の表示制御装置において、前記表示装置の画面全体の表示を更新する表示更新手段と、当該更新の過程で、表示内容に変更があり且つ未更新の部分を更新する部分更新手段と、前記表示内容に変更があり且つ未更新の部分の数を計数する計数手段と、前記表示装置の温度を計測する計測手段とを有し、前記部分更新手段の実行回数を、前記計数手段で計数した数と前記計測手段で計測した温度に応じて実行することを特徴とする表示制御装置。

【請求項2】 画素の表示状態を部分的に変更可能な表示装置の表示制御装置において、表示装置への表示内容に変更が発生したことを検出して変更情報を記録する記録手段と、表示装置の表示内容を更新したことを検出して前記変更情報を消す消去手段と、表示装置の表示位置に対応した位置情報を発生する発生手段とを有し、該発生手段から得られる位置情報及び前記記録手段と消去手段とから得られる変更情報とにより未更新の部分を更新することを特徴とする表示制御装置。

【請求項3】 画素の表示状態を部分的に変更可能な表示装置の表示制御方法において、表示装置への表示内容に変更が発生したことを検出して変更情報を記録し、表示装置の表示内容を更新したことを検出して前記変更情報を消去し、表示装置の表示位置に対応した位置情報を発生し、前記変更情報と前記位置情報とから表示装置の表示内容を更新することを特徴とした表示制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示制御装置に関し、詳しくは、例えば強誘電性液晶を表示更新のための動作媒体として用い電界の印加等によって更新された表示状態を保持可能な表示素子具备了表示装置のための表示制御装置に関するものである。

【0002】

【従来の技術】一般に、情報処理システムなどには、情報の視覚的表現機能を果たす情報表示手段として表示装置が用いられており、このような表示装置としてはCRT表示装置が広く知られている。

【0003】CRT表示装置における表示制御では、CRT側が有する表示データバッファとしてのビデオメモリに対するシステム側CPUの書き込み動作と、CRT側が有する例えばCRTコントローラによるビデオメモリからの表示データの読み出し、表示の動作がそれぞれ独立して実行される。

【0004】上述したようなCRTの表示制御の場合、表示情報を変更するなどのためのビデオメモリに対する表示データの書き込みと、そのビデオメモリから表示データを読み出して表示する動作が独立しているため、情報処理システム側のプログラムでは表示タイミング等を

一切考慮する必要がなく、任意のタイミングで所望の表示データを書き込むことができるという利点を有している。

【0005】ところが一方で、CRTは特に表示画面の厚み方向の長さがある程度必要とするため全体としてその容積が大きくなり、表示装置全体の小型化を図り難い。また、これにより、このようなCRTを表示器として用いた情報処理システムの使用にあたっての自由度、すなわち設置場所、携帯性等の自由度が損なわれる。

【0006】この点を補うものとして液晶表示器（以下、LCDという）を用いることができる。すなわち、LCDによれば、表示装置全体の小型化（特に薄型化）を図ることができる。このようなLCDの中には、上述した強誘電性液晶（以下、FLC: Ferroelectric Liquid Crystalという）の液晶セルを用いた表示器（以下、FLCD: FLCディスプレイという）があり、その特徴の1つは、その液晶セルが電界の印加に対して表示状態の保存性を有することにある。すなわち、FLCDは、その液晶セルが十分に薄いものであり、その中の細長いFLCの分子は、電界の印加方向に応じて第1の安定状態または第2の安定状態に配向し、電界を除いてもそれぞれの配向状態を維持する。このようなFLC分子の双安定性により、FLCDは記憶性を有する。このようなFLCおよびFLCDの詳細は、例えば特願昭62-76357号に記載されている。

【0007】この結果、FLCDを駆動する場合には、CRTや他の液晶表示器と異なり、表示画面の連続的なリフレッシュ駆動の周期に時間的な余裕ができ、また、その連続的なリフレッシュ駆動とは別に、表示画面上の変更当たる部分のみの表示状態を更新する部分書換駆動が可能となる。

【0008】

【発明が解決しようとする課題】FLCDにおいて、CRTと同様の表示制御により情報処理システムの表示装置として用いる場合、FLCの表示更新動作にかかる時間が比較的遅いため、例えば、カーソル、文字入力、スクロール等、即座にその表示が書き換えられなければならないような表示情報の変化に追従できないことがあった。従って、FLCDの特長の一つである部分書換駆動を行なって見かけ上の表示速度を向上させる必要がある。

【0009】また、情報処理システムの表示装置としてこのようなFLCDをCRTと互換性を有して用いることができれば、システムの柔軟性が増しその価値を高めることができる。

【0010】ところが、上述のカーソル、文字入力、スクロール等、部分書換駆動が必要な表示状態の変更であるという識別情報を付加して処理しようすると、情報処理システムにおけるソフトウェアに大幅な変更が生

じ、プログラムの互換性がとれなくなってしまう。

【0011】本発明は上述の観点に基づいてなされたものであり、ソフトウェアからみてFLCDとCRTの互換性を保証しながら適切且つ時機を得た部分書換駆動を行なうことが可能となる表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、画素の表示状態を部分的に変更可能な表示装置の表示制御装置において、表示画面中の表示ライン数に相当する記憶手段と、
10 該記憶手段に、表示内容に変更があり、且つ内容変更後未更新であるという情報を記憶させる手段を有し、画面全体の表示を更新する手段が一定期間更新を実行した後、前記内容変更後未更新である部分の数によって、前記内容変更後未更新である部分の検索手段に従って表示内容に変更のある部分のみを更新する手段を所定期間実行することとを特徴とする。

【0013】本発明によれば、画面全体を順番に書き換えるサイクルを実行する過程で、CPU等ホスト側からアクセスされ且つ未更新の部分を書き換えるサイクルを行なう手段を設け、且つこのサイクルへ移行する条件をアクセスされ且つ未更新の部分の数によって決定することで、部分書き込みするデータかどうかの識別をCPU等から与える必要なく、またリフレッシュレートを低下させることなく、書き換えられたデータをただちに表示することが可能になる。

【0014】

【実施例】図1は本発明の一実施例に係る表示制御装置を組み込んだ情報処理システム全体のブロック構成図である。

【0015】図において、1は情報処理システム全体を制御するCPU、2はアドレスバス、コントロールバス、データバスからなるシステムバス、3はCPU1で実行されるプログラムを記憶したり、ワーク領域として使われるメインメモリ、4はCPU1の制御を介さずにメモリと各機器間でデータの転送を行うDMAコントローラ(Direct Memory Access Controller、以下DMACという)、5はイーサネット(XEROX社による)等のLAN(ローカルエリアネットワーク)6との間のLANインターフェース、7はROM、SRAM、RS232C仕様のインターフェース等からなるI/O機器接続用のI/O装置、8はハードディスク装置、9はフロッピーディスク装置、10はハードディスク装置8やフロッピーディスク装置9のためのディスクインターフェース、11は例えばレーザービームプリンタ、インクジェットプリンタ等高解像度のプリンタ、12は画像読み取り装置としてのスキャナ、13はプリンタ11およびスキャナ12のためのインターフェース、14は文字、数字等のキャラクタその他の入力を行なうためのキーボード、15はポイ

ンティングデバイスであるマウス、16はキーボード14やマウス15のためのインターフェース、17は例えば本出願人により特開昭63-243993号等において開示された表示器を用いて構成できるFLCD(FLCディスプレイ)、18はFLCD17のためのFLC Dインターフェースである。

【0016】以上説明した各種機器等を接続してなる情報処理システムでは、一般にシステムのユーザーは、FLCD17の表示画面に表示される各種情報に対応しながら操作を行う。すなわち、LAN 6、I/O 7に接続される外部機器、ハードディスク8、フロッピーディスク9、スキャナ12、キーボード14、マウス15から供給される文字、画像情報等、また、メインメモリ3に格納されユーザーのシステム操作にかかる操作情報等がFLCD17の表示画面に表示され、ユーザーはこの表示を見ながら情報の編集、システムに対する指示操作を行なう。ここで、上記各種機器等は、それぞれFLCD17に対して表示情報供給手段を構成する。

【0017】図2は本発明表示制御装置の一実施例としてのFLCDインターフェース18の構成例を示すブロック図である。

【0018】図において、19はアドレスバスドライバ、20はコントロールバスドライバ、21はデータバスドライバである。CPU1からのアドレスは、システムバスを介してアドレスバスドライバ19から、ラインアドレス変換回路22およびアドレスセクタ23の一方の入力部に与えられる。

【0019】CPU1からのコントロール信号は、システムバスを介してコントロールバスドライバ20からメモリコントローラ24に与えられ、そのメモリコントローラ24は、アドレスセクタ23の制御信号、及び後述するビデオメモリ25の制御信号を発生する。また、アドレスセクタ23は、メモリコントローラ24からの制御信号に基づいて、当該アドレスセクタ23の入力部に与えられる2つのアドレスの一方を選択してビデオメモリ25に与える。

【0020】ビデオメモリ25は表示データを記憶するものであり、デュアルポートのDRAM(ダイナミックRAM)で構成されていて、システムバス2及びデータバスドライバ21を介して表示データの書き込みと読み出しが行なわれる。ビデオメモリ25に書き込まれた表示データは、アドレス/データ合成回路35及びドライバレシーバ26を介してFLCD17に転送されて表示される。また、そのドライバレシーバ26は、FLCD17からの同期信号を表示モード制御回路27に与える。表示モード制御回路27は、例えば、全面リフレッシュを一画面分終了する毎に、フラグカウンタ28からの情報に従って、部分書換を行なう回数を決定する。

【0021】ここで、全面リフレッシュとは、表示画面全体をある一定の順番に従って、更新するもので、前記

順番に従ってビデオメモリ25からデータが読み出され、FLCD17へ転送される。また、部分書換とは、CPU1が表示内容を変更した場所を優先的に表示更新するもので、前記一定の順番でリフレッシュしているフレーム（一画面）の間に割り込む形となる。全面リフレッシュと部分書換の関係に関する詳細は後述する。

【0022】全面リフレッシュを行なう場合、表示モード制御回路27はリフレッシュカウンタ29に制御信号を与え、カウンタ値を進める。リフレッシュカウンタ29からのカウンタ値は、リフレッシュアドレス発生回路30へ与えられ、実際に画面リフレッシュするラインアドレスへと変換されてラインアドレスセクタ31の一方の入力部に与えられる。この時、ラインアドレスセクタ31は、表示モード制御回路27からの制御信号で、上記リフレッシュアドレス発生回路30からのラインアドレスを選択して出力する。リフレッシュカウンタ29は、1フレームカウントアップすると表示モード制御回路27に通知する。表示モード制御回路27では、この通知を受け取るとフラグカウンタ28からのカウンタ値を参照して、部分書換の回数を決定する。或は、部分書換を一回実行する毎に、フラグカウンタ28からのカウンタ値を参照し、所定回数実行するか、または、カウンタ値が“0”になったら、再び、全面リフレッシュを1フレーム分実行する。

【0023】ところで、CPU1からビデオメモリ25への書き込みや読み出しが発生すると、ラインアドレス変換回路22では、そのアクセスのうち表示領域内への書き込みを検出し、FLCD17の表示ラインアドレスに変換してフラグメモリ32へ与える。フラグメモリ32は、表示ラインアドレス分の記憶容量を持っており、部分書換表示すべきラインの候補であるかどうかのフラグを示す。例えば、フラグメモリ32では、表示領域内への書き込み、すなわち、表示内容の変更が生じたラインアドレスに相当する記憶場所を“1”にする。これは、部分書換の候補であることを意味する。また、ラインアドレスセクタ31からのラインアドレスをモニタしてFLCD17へ出力されたラインアドレスに相当する記憶場所を“0”にする。これは、全面リフレッシュまたは部分書換により、該ラインアドレスが、FLCD17へ出力され、表示変更が行なわれたことになり、部分書換の候補からははずれたことを意味する。このようにフラグメモリ32では、CPU1からデータの書き込みが生じたラインアドレスにフラグを立て、そのラインが出力されるとフラグを落とす動作が行なわれる。これに対応して、例えば、フラグカウンタ28で、フラグメモリ32においてフラグが立つ（0→1への変化）場合にカウントアップし、フラグが落ちる（1→0への変化）場合にカウントダウンすれば、フラグメモリ32内で立っているフラグの数を示すことになる。他にも手段は考えられるが、フラグカウンタ28で、フラグメモリ32

において立っているフラグの数を計数することが、部分書換の必要の度合いを示すことになり、このフラグカウンタ28の出力を表示モード制御回路27に与える。

【0024】ところで、フラグアドレス発生回路33では、フラグメモリ32を参照し、フラグの立っている、すなわち、部分書換するラインアドレスを決定し、ラインアドレスセクタ31の入力部の一方へ与える。表示モード制御回路27で部分書換を行なうと決定された場合には、ラインアドレスセクタ31のフラグアドレス発生回路33に接続されたラインアドレスを選択し出力する。

【0025】フラグメモリ32を構成した例を図7に示す。FLCD17に出力されたラインアドレスセクタ31からのラインアドレスとCPU1からの書き込みのアドレスであるCPUラインアドレスとフラグアドレス発生回路33からのフラグアドレスをセクタ103の入力として受け、この3種類のアクセスの調停をアービター101で行い、その結果であるアクセス種別信号102をセクタ103に印加し、セクタ103の出力をメモリ104のアドレスとして印加する。優先順位をCPUアクセス（VRAM書換えサイクル）、ラインアクセス（リフレッシュサイクル）、フラグアドレスアクセス（部分書換えサイクル）の順に設定した例をとり、図9にフラグメモリ32のタイミング例を示す。

【0026】CPUアクセスにおいて、CPUラインアドレスをセクタ103で選択しメモリ104に印加し、CPUラインアドレスとラインアドレスとを入力した比較器105の結果とアクセス種別信号102によりメモリアccess制御回路106によって、書換えが生じたラインを検出し、すなわち最初にフラグを読み込み（フラグメモリリードデータ）、読み出した直後にCPU/ライン信号107で決定するフラグデータ（フラグメモリライトデータ）をメモリ104へ書き込むように制御される。CPU/ライン信号107はアービター101でCPUアクセスかラインアクセスかの判別により決定し、メモリアccess制御回路106のフラグライト信号108でゲート出力してフラグデータとする。本実施例ではCPUアクセスの時、CPU/ライン信号107＝“1”、ラインアクセスの時、CPU/ライン信号107＝“0”とした。

【0027】ラインアクセスにおいては、ラインアドレスをセクタ103で選択しメモリ104に印加し、CPUアクセスと同様な操作を行う。ラインアクセスはFLCD17へ出力したラインに対応するフラグを落とす（“0”）点がCPUアクセスと異なる。CPUアクセスとラインアクセスが競合した場合、CPUラインアドレスとラインアドレスが一致した時は、図9のタイミング例のCPU＝ラインのアクセス状況に示す様に、CPUアクセスを優先してCPUアクセスのフラグの処理だけを行う。CPUラインアドレスとラインアドレスが不

一致の時は、図9のタイミング例のCPU≠ラインのアクセス状況に示す様に、CPUアクセスを優先してフラグの処理をし、その次にラインアクセスに対するフラグの処理を行う。フラグの処理は単一アクセスの時と全く同様である。上記の様に、CPUアクセスでは優先的にフラグを立て、ラインアクセスの優先順位を下げてフラグを落とすことにより、CPUアクセスとラインアクセスの競合において、常に新たなCPUアクセスに対してフラグを立て、FLCD17へ出力済のラインのフラグを落とすことが確実にできる。

【0028】フラグアドレスアクセスにおいてはフラグアドレスをセクタ103で選択しメモリ104に印加し、メモリアccess制御回路106によって、メモリ104からフラグを読み込むだけで書き込みは行わないように制御される。フラグアクセスと他のアクセスが競合した場合、図9のタイミング例のCPU≠ラインとフラグのアクセス状況に示す様に、フラグアクセスのフラグの処理は最後に行う。本実施例にてフラグカウンタ28は通常のアップダウンカウンタで構成され、フラグメモリ32へのデータの更新を監視して、フラグメモリ32に格納されているフラグの数をカウントする。前述した様に、図9のフラグメモリ32のタイミング例において、CPUアクセスの時はメモリアccess制御回路106により最初にメモリ104からフラグを読み出し、そのフラグデータをフラグリード信号111にてD-FFでラッチし、ラッチデータの負論理出力をフラグカウンタ28のフラグカウンタUp/Down信号として出力する。さらに、ラッチデータとフラグの書き込みデータの一致か不一致かを判定するのに排他的論理和を取る。一致している時はフラグデータの更新がないのでフラグカウンタは動作させず、不一致の時はフラグデータが更新したのでフラグカウンタを動作させる様に構成する。本実施例では排他的論理和の負論理をフラグカウンタイネーブル信号として出力する。フラグカウンタ28において、フラグカウンタUp/Down信号とフラグカウンタイネーブル信号とフラグライト信号108でカウンタを制御する。ラインアクセスの時も同様である。

【0029】フラグアドレス発生回路33にてFIFOを使用した例を図8に示す。図8のフラグアドレス発生回路のタイミング例を図10に示す。図8のフラグアドレス発生回路33にて、FIFO120への入力データはCPUラインアドレス(FIFOライトデータ)であり、出力はラインアドレスセクタ31に与えられるフラグアドレス(FIFOリードデータ)である。CPUアクセスが発生するとFIFO制御回路121によりCPUラインアドレスがFIFO120に入力される。CPUラインアドレスが重複してFIFO120に格納されることを避けるため、フラグメモリ32のフラグON判定回路112は、アービター101から出力するアクセス種別信号102と前述したフラグカウンタUp/D

own信号からフラグが立っていれば"1"とし、フラグが落ちていれば"0"とするフラグON信号を作成する。FIFO制御回路121にて、CPUアクセスが発生してフラグON信号が"1"の時、すでにそのラインアドレスはFIFO120に格納済であるため入力せず、フラグON信号が"0"の時、ラインアドレスがFIFO120に格納されていないため入力する様に構成する。また、表示モード制御回路27からのフラグアドレス出力要求により、FIFO制御回路121にてFIFO120に格納されているラインアドレスをフラグアドレスとして順次発生する。この時、FIFO制御回路121からフラグアドレスアクセス信号が同時に発生し、フラグメモリ32のアービター101にてアクセスの調停に使用される。フラグアドレスがアクセス権を取ると、メモリ104にフラグアドレスが印加される。この時、アービター101から出力するフラグアドレスサイクル信号109と読み出したフラグデータから、フラグチェック回路110にてフラグが有るか無いかを判定するフラグチェック信号を作る。読み出したフラグが落ちている時フラグチェック信号="0"とし、フラグが立っている時フラグチェック信号="1"とする。フラグチェック信号="0"の時、FIFO制御回路121はFIFO120に格納されていたラインアドレスはすでにFLCD17に出力済と判断し、再度FIFO120からフラグアドレスを読み出す。フラグチェック信号="1"の時はまだラインアドレスとして出力されていないと判断し、フラグアドレスと共にFIFO制御回路121はフラグアドレス確定信号を出力する。表示モード制御回路27はこのフラグアドレス確定信号を受けて、フラグアドレスをラインアドレスとして出力する様にラインアドレスセクタ31を切り替える。

【0030】ところで、全面リフレッシュ、及び、部分書換によってラインアドレスセクタ31から出力されたラインアドレスは、アドレス変換回路34、アドレス/データ合成回路35、及び、フラグメモリ32へ与えられる。

【0031】アドレス変換回路34では、表示ラインアドレスをビデオメモリ25内のDRAMへのアドレスへ変換しアドレスセクタ23へ与える。この変換されたアドレスは、表示モード制御回路27からメモリコントローラ24へのデータトランスファ要求36によって、メモリコントローラ24からの制御によりアドレスセクタ23で選択出力される。この時、ビデオメモリ25では、メモリコントローラ24によってデータトランスファサイクルが発生し、上記アドレスセクタ23で選択出力されたアドレスに相当するデータがDRAMから読み出され、アドレス/データ合成回路35へ与えられる。

【0032】アドレス/データ合成回路35では、ラインアドレスセクタ31からのラインアドレスとビデオ

10

20

30

40

50

メモリ25からのデータを合成して、ドライバレシーバ26を介してFLCD17へ転送され、表示が行なわれる。

【0033】図3は、全面リフレッシュと部分書換の関係について一例を示したものである。

【0034】ここで、CPUの書き込み37は、CPU1がアドレスドライバ19を介してビデオメモリ25の表示領域へデータを書き込む様子を表しており、間隔が密な所は頻繁に書き換えていることを表し、間隔が粗な所は表示内容の変更が少ないことを表している。

【0035】フラグカウンタ値38は、フラグカウンタ28が示す値で、メモリの内容変更が生じた後未更新であるライン数を表す。CPUの書き込み37でカウントアップされても全面リフレッシュで出力されるとカウントダウンするため、1フレーム分の全面リフレッシュが*

表 1

| フラグカウンタ値 | 部分書換の回数 |
|----------|-------------|
| 0 | 0 |
| 1 ~ 50 | フラグカウンタ値と同じ |
| 51 ~ | 20 |

【0040】表1において、フラグカウンタ値38が“0”であれば、部分書換の必要はないため、部分書換を実行しない。次に、フラグカウンタ値38が“1~50”の場合は、部分書換の回数をフラグカウンタ値38に比例させて、部分書換が必要なライン全てを部分書換で出力することになる。また、フラグカウンタ値38が“51”以上になると部分書換の回数が多くなり、リフレッシュレートが低下することを防ぐため、部分書換の回数を20回に制限している。

【0041】以上、表示モード制御回路27で、CPU1のアクセス頻度とFLCD17の表示速度に合わせて最適な部分書換の回数を決定することで、表示品位の高い表示画像を得ることができる。

【0042】図4に、この表示モード制御回路27を実現するための一例を示す。

【0043】図4において、フレーム終了はリフレッシュカウンタ29がフレームの終了を通知する信号であり、HSYNCはFLCD17からのデータ要求信号であり、フラグカウンタ値はフラグカウンタ28からのカウンタ値である。フラグカウンタ値はテーブル41でその値に対応する部分書換の回数に変換される。タイミング回路42では、HSYNCの度にフレームの終了や表示モードの決定を行なう。1フレームが終了した時、部分書換の回数が“0”でなければ、タイミング回路42はリフレッシュ／部分書換信号を部分書換側にすると

*終了した時点でのフラグカウンタ値38は、そのフレームの全面リフレッシュで出力された後に、CPU1が書き換えたラインの数を表していることになる。

【0036】従って、1フレーム分の全面リフレッシュが終了した時点でのフラグカウンタ値38に基づいて部分書換のライン数を決定することで、表示の更新をCPU1の書き換えに追従させることが出来るようになる。

【0037】全面リフレッシュ／部分書き換え39は、“1”で全面リフレッシュサイクル、“0”で部分書換サイクルであることを示している。

【0038】フラグカウンタ値38と部分書換サイクルの関係は表1のようなものが考えられる。

【0039】

【表1】

同時にカウンタ43にロード信号を与え、テーブル41からの部分書換の回数をロードさせる。次に、HSYNCが来る度にカウンタを計数していき、ロードした値が終了したという信号がカウンタから発行されるとリフレッシュ／部分書換信号をリフレッシュ側に設定する。その後、1フレーム分のリフレッシュが終了するまで、そのまゝの状態を保つ。

【0044】また、フラグカウンタ値によっては、リフレッシュのインターレースモードを変更した方が都合良い場合もある。その時は、テーブル41よりタイミング回路42へその通知信号が送られ、タイミング回路42からインターレースモード指示信号が送出される。

【0045】ここで、全面リフレッシュの方法としては、一番上のラインから下に順番に、連続的に更新を行なうノンインターレース、CRT等にみられる1ライン飛ばしの2ラインインターレース、更に、FLCD17特有の様々なランダムなインターレース等がある。画面のフリッカーを押さえるためにランダムなインターレースを行なったり、連続的な表示更新を行なうためにノンインターレースを実行するといった使い分けが行なわれる。

【0046】図5は、表示動作における、表示モード制御回路27を中心としたFLCDインターフェース18の動作フローチャートを示したものである。表示開始が指示されると、一番最初の表示は全面リフレッシュを先

頭ラインから実行することが望ましいため、201でリフレッシュカウンタ29をクリアし、202でラインアドレスセクタ31のリフレッシュ側を選択する。203でHSYNCを検出すると、204でデータトランスファ要求36をメモリコントローラ24に対して送出する。ビデオメモリ25に対して、データトランスファサイクルが実行され、該当ラインのデータが準備出来たという応答を205で検出するとFLCD17に対して、206でアドレス/データの識別信号とアドレスを送出する。アドレスに引き続き、207でデータも送出する。尚、206と207の動作はアドレス/データ合成回路35で行なわれる。データが送られ始めると、表示モード制御回路27では、次ラインの出力準備を行なう。208では、部分書換モードになっていれば209へ移行し、そうでなければ、すなわち、全面リフレッシュならば212へ移行する。部分書換の時は、209でフラグアドレス発生回路33に対して、フラグアドレスの要求を行なう。フラグアドレス発生回路33から応答が有ったのを210で確認すると、211でラインアドレスセクタ31においてフラグアドレス発生回路33と接続されている方を選択し、次のHSYNCが来るのを待つ。全面リフレッシュの時は、212でリフレッシュカウンタ29をカウントアップし、213でラインアドレスセクタ31においてリフレッシュアドレス発生回路30と接続されている方を選択し、次のHSYNCが来るのを待つ。以下、表示が終了されるまで、この動作を繰り返す。

【0047】次に、全面リフレッシュモードか部分書換モードかの設定部、すなわち、図4におけるタイミング回路42の動作フローチャートについて図6で説明する。

【0048】表示が開始されると初めは、221で全面リフレッシュモードに設定する。222で図5におけるデータ送出207が開始されたことを確認すると223へ移行する。最初は全面リフレッシュモードに設定されているため224へ移行し、1フレーム分全面リフレッシュが実行されるのを待って225でテーブル41から得られる部分書換の回数（仮にNとしておく）を参照し、226で“0”ならば再び222へ戻り、全面リフレッシュモードを1フレーム分続行する。226で“0”でなければ、227で制御変数nにN-1を代入する。これは、図4におけるカウンタ43へのロードに相当する。次に、228で部分書換モードの設定を行なった後、229でn=0かどうかの判定を行なう。つまり、設定した回数分の部分書換が実行されたかどうかを判断するためである。229でまだ、設定した回数分の部分書換が実行されてなければ222へ移行し、次の部分書換の実行を待つ。この場合、223の次は230で制御変数nにN-1を代入し229へと移行する。229で設定した回数分の部分書換が終了したと判断すると

先頭の221へ戻り、再び設定を全面リフレッシュにして次の出力を待つ。

【0049】（第2実施例）第1実施例ではフラグアドレス発生回路33の構成手段としてFIFOを使用した例について説明した。本例ではフラグアドレス発生回路33の他の構成手段としてカウンタを使用した例について説明する。

【0050】図11は、本例にかかるアドレス発生回路33の詳細を示すブロック図である。図12に図11のフラグアドレス発生回路のタイミング例を示す。図11のフラグアドレス発生回路33ではカウンタ130の出力をフラグアドレスとして使用する。表示モード制御回路27からのフラグアドレス出力要求により、カウンタ制御回路131の制御にてカウンタ130に格納されているラインアドレスをフラグアドレスとして順次発生する。この時、カウンタ制御回路131からフラグアドレスアクセス信号が同時に発生し、前記FIFOの時と同様にフラグメモリ32内のフラグをチェックし、フラグチェック回路110にてフラグが有るか無いかを判定する。フラグチェック信号=“0”の時、カウンタ制御回路131はカウンタ130に格納されていたラインアドレスはすでにFLCD17に出力済と判断し、カウンタ130はカウントを続ける。フラグチェック信号=“1”の時はまだラインアドレスとして出力されていないと判断し、カウンタ制御回路131はカウントを止め、カウンタ130の出力をフラグアドレスとして、フラグアドレス確定信号を出力する。表示モード制御回路27はこのフラグアドレス確定信号を受けて、フラグアドレスをラインアドレスとして出力する様にラインアドレスセクタ31を切り替える。本カウンタの例ではカウンタ値のロードの仕方により、フラグメモリ32内のフラグをチェックする手順を変えることができる。カウンタ130を初期化後再ロードせずに使用すると、部分書き換えは直前に書き換えたライン以降のラインから順次書き換える様に動作する。また、カウンタ値をあるラインの値に設定すると、その設定ラインとカウンタ130のターミナルカウント値の間の領域を部分書換する様に動作できる。カウンタ値を変更することにより、部分書換の領域を逐次変更することも可能である。カウンタ130の代わりにシーケンサを使用し、フラグのチェックする手順をプログラムすることも可能である。

【0051】また、カウンタ130の出力にアドレス変換回路を追加することにより、フラグカウンタ28のカウント数により部分書換するモードを変更することも可能である。例えば、フラグがある数以下の時にはノンインターレースモードとし、つまり、部分書換すべきラインのみを上から下へ順番に出力し、それ以上のフラグが立つと数に応じて部分書換時のインターレースモードを変える、つまり、部分書換すべきラインをとびとびに出力するといった機能を簡単に追加することができる。

【0052】（第3実施例）フラグアドレス発生回路33の構成手段として、第1実施例ではFIFOを使用した例について、第2実施例ではカウンタを使用した例について説明した。本例ではプライオリティエンコードを用いて構成する手段について説明する。

【0053】図13は、本例にかかるフラグアドレス発生回路33の詳細ブロック図を示す。図14に図13のフラグアドレス発生回路33のタイミング例を示す。図13のフラグアドレス発生回路例ではプライオリティエンコーダ141の出力をフラグアドレスとして使用する。プライオリティエンコーダ141ではフラグメモリ32のメモリ104の出力データをエンコードし、その結果をフラグアドレスとして出力する。表示モード制御回路27からフラグアドレス出力要求が発生すると、フラグアドレスの確定したことを意味するフラグアドレス確定信号をプライオリティエンコード制御回路140から出力する。表示モード制御回路27はこのフラグアドレス確定信号を受けて、フラグアドレスをラインアドレスとして出力する様にラインアドレスセクタ31を切り替える。フラグアドレスがラインアドレスとしてFLCD17に出力されると、フラグメモリ32のメモリ104では出力されたラインに相当する記憶場所が”0”になるため、プライオリティエンコーダ141では次にフラグの立っているラインをエンコードしてフラグアドレスとして出力する。このようにフラグアドレス発生手段としてプライオリティエンコードを用いれば、表示内容の変更が生じたアドレスラインのうち、優先順位の高い順から順番にフラグアドレスとして出力されるため、第1実施例でFIFOを使用した場合や第2実施例でカウンタを使用した場合の様に、全てのフラグについてセ

ットされているかどうかをチェックする必要がなくなる。

【0054】（第4実施例）フラグカウンタ値から部分書換の回数を決定する際、あらかじめさだめておいた固

定のテーブルを使用する方法が簡単であるが、このテーブルを何らかの要因で変化させることも考えられる。その要因としては、FLCD17の温度状態や、過去の部分書換の回数等が考えられる。FLCD17は周囲温度によって、書き換え速度が変化するため、1ラインの更新時間、すなわち、HSYNCの周期が変わる。一方、CPU1のアクセス速度は温度によって変化しない。従って、FLCD17の周囲温度によって表示モードの決定条件を変化させることは、より繊細な表示制御を行なうことになり、表示品位の向上につながる。

【0055】また、表示の更新内容によって部分書換モードの回数に固有のパターンが生じることも考えられる。そこで、部分書換モードの回数があるパターンの様相を呈するようになるとフラグカウンタ値と部分書換モードの回数の関係を変化させることが考えられる。

【0056】これらを実現するには、例えば、図4におけるテーブル41を複数準備しておき、FLCD17の温度状態や部分書換モードの回数を監視する回路からの情報によって1種類のテーブルを選択するといったことが考えられる。

【0057】図15にFLCD17の温度状態を監視する回路からの情報によって1種類のテーブルを選択する実施例を示す。本例において温度状態は2ビットのデータとしてFLCDから通知されることとする。この温度状態はFLCD17上のセンサー等から知ることができる。この2ビットの温度状態がデコーダ154によりデコードされる。その結果、4つのテーブル（テーブル0 150、テーブル1 151、テーブル2 152、テーブル3 153）から1つのテーブルが選択され、選択されたテーブルの内容とフラグカウンタ値とから実行する部分書換の回数が決定される。温度状態と選択されるテーブルの対応を表2に示す。

【0058】

【表2】

表 2

| 温度状態 | テーブル No. | フラグカウンタ値 | 部分書換の回数 |
|------|-------------|----------|-------------|
| 0 0 | 0 | 0 | 0 |
| | | 1 ~ 3 | フラグカウンタ値と同じ |
| | | 4 ~ | 4 |
| 0 1 | 1 | 0 | 0 |
| | | 1 ~ 5 | フラグカウンタ値と同じ |
| | | 6 ~ | 6 |
| 1 0 | 2 | 0 | 0 |
| | | 1 ~ 10 | フラグカウンタ値と同じ |
| | | 11 ~ | 11 |
| 1 1 | 3 | 0 | 0 |
| | | 1 ~ 50 | フラグカウンタ値と同じ |
| | | 51 ~ | 20 |

【0059】FLCD17の周囲温度が低い場合には温度状態が”00”、高い場合には”11”と、FLCD17の周囲温度に応じて温度状態が”00”から”11”まで段階的に変化するものとする。それによって、FLCD17の周囲温度が低く書き換え速度が遅い時には実行する部分書換の回数を少なくし、FLCD17の周囲温度が高く書き換え速度が速い時には実行する部分書換の回数を多くすることにより、周囲温度に影響されない表示品位を保つことができる。

【0060】以上説明したように、本実施例によれば、画面全体を順番に書き換えるサイクルを実行する過程で、CPU等ホスト側から表示内容に変更のあった部分を表示更新するサイクルを実行する手段を設け、且つ前記表示内容に変更のあった部分が、真に表示更新されていないことを示す手段を持ち、さらに、この表示内容に変更のあった部分を表示更新するサイクルの回数を、前記表示内容に変更のあった部分でまだ表示更新されていない部分の数によって決定する手段を有することで、部分書換するデータかどうかの識別をCPU等からのコマンドで行なう必要なく、またリフレッシュレートを低下させることなく、書き換えられたデータを直ちに表示することが可能になる。更に、表示内容に変更のあった部分の検索手段を持つことで、部分書換すべき部分を的確に判

断し、高品位の表示を得ることが出来る。

【0061】従って、FLCディスプレイを用いるシステムのソフトウェア等の仕様を一切変更せずに、画面表示を図形やカーソルの移動にも応答性高く追従させる事が出来るようになり、さらにFLCの特性を十二分に活用した良好な表示を行なうこともできる。また、システムからみたCRTとFLCとの互換性も保たれる。しかも単純な回路構成で実現されるので、廉価にして高速の表示制御を行なう事が可能となる。

【0062】

【発明の効果】以上、本発明によれば、システムから見て、FLCDとCRTとの互換性を保ちつつ、適切な部分書換えを行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例の表示制御装置を組み込んだ情報処理装置全体のブロック図、

【図2】本発明の一実施例としてのFLCDインターフェースの構成を示すブロック図、

【図3】上記FLCDインターフェースの基本的動作を説明するためのタイミングチャート、

【図4】表示モード制御回路の一例を示すブロック図、

【図5】FLCDインターフェースの動作を説明するためのフローチャート、

17

【図6】表示モード制御回路内部にあるタイミング回路の動作を説明するためのフローチャート、

【図7】フラグメモリの構成例を示すブロック図、

【図8】フラグアドレス発生回路をFIFOで実施した例を示すブロック図、

【図9】フラグメモリの構成例におけるタイミングチャート、

【図10】フラグアドレス発生回路をFIFOで実施した時のタイミングチャート、

【図11】本発明の第2実施例における、フラグアドレス発生回路をカウンタで実施した例を示すブロック図、

【図12】本発明の第2実施例における、フラグアドレス発生回路をカウンタで実施した時のタイミングチャート、

【図13】本発明の第3実施例における、フラグアドレス発生回路をプライオリティエンコーダで実施した例を示すブロック図、

【図14】本発明の第3実施例における、フラグアドレス発生回路をプライオリティエンコーダで実施した時のタイミングチャート、

【図15】本発明の第4実施例における、表示モード制御回路を示すブロック図。

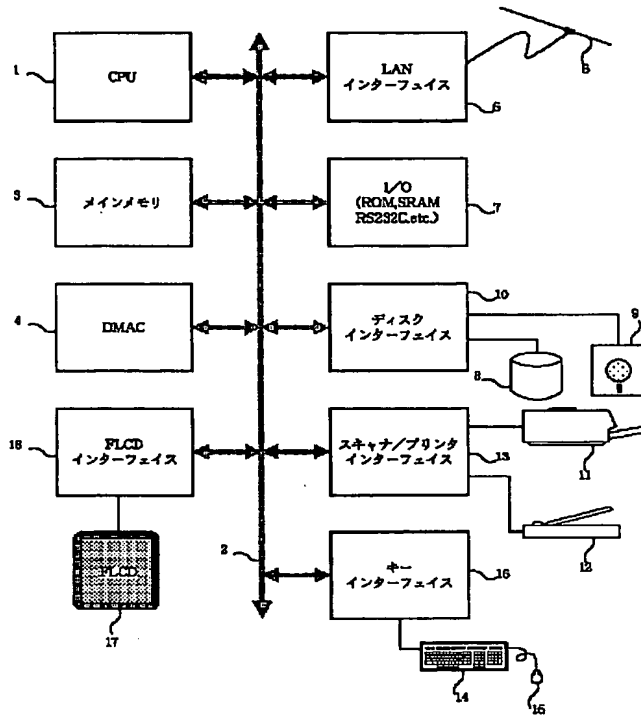
【符号の説明】

- 1 CPU
- 2 システムバス
- 3 メインメモリ
- 4 DMAC
- 5 LANインターフェース
- 6 LAN
- 7 I/O
- 8 ハードディスク装置
- 9 フロッピーディスク装置
- 10 ディスクインターフェース
- 11 プリンタ
- 12 スキャナ
- 13 スキャナ/プリンタインターフェース
- 14 キーボード
- 15 マウス
- 16 キーインターフェース
- 17 FLCD
- 18 FLCDインターフェース
- 19 アドレスバスドライバ
- 20 コントロールバスドライバ
- 21 データバスドライバ
- 22 ラインアドレス変換回路

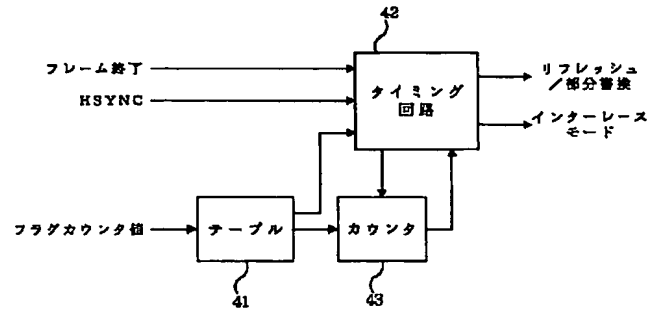
18

- 23 アドレスセクタ
- 24 メモリコントローラ
- 25 ビデオメモリ
- 26 ドライブレシーバ
- 27 表示モード制御回路
- 28 フラグカウンタ
- 29 リフレッシュカウンタ
- 30 リフレッシュアドレス発生回路
- 31 ラインアドレスセクタ
- 32 フラグメモリ
- 33 フラグアドレス発生回路
- 34 アドレス変換回路
- 35 アドレス/データ合成回路
- 36 データトランスファ要求ライン
- 37 CPUの書き込み信号
- 38 フラグカウンタ値
- 39 全面リフレッシュ/部分書換指示信号
- 40 HSYNC
- 41 テーブル
- 42 タイミング回路
- 43 カウンタ
- 101 アービター
- 102 アクセス種別信号
- 103 セクタ
- 104 メモリ
- 105 比較器
- 106 メモリアクセス制御回路
- 107 CPU/ライン信号
- 108 フラグライト信号
- 109 フラグアドレスサイクル信号
- 110 フラグチェック回路
- 111 フラグリード信号
- 112 フラグON判定回路
- 120 FIFO
- 121 FIFO制御回路
- 130 カウンター
- 131 カウンター制御回路
- 132 カウンター設定値
- 140 プライオリティエンコーダ制御回路
- 141 プライオリティエンコーダ
- 150 テーブル0
- 151 テーブル1
- 152 テーブル2
- 153 テーブル3
- 154 デコーダ

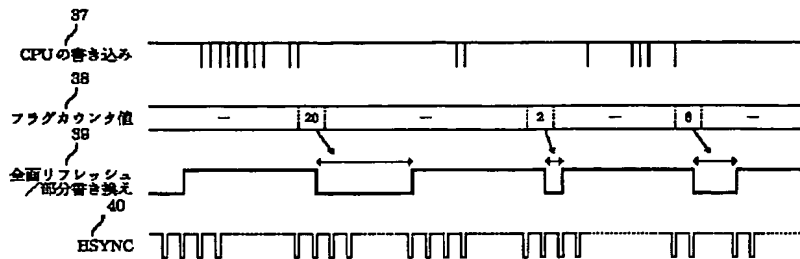
【図1】



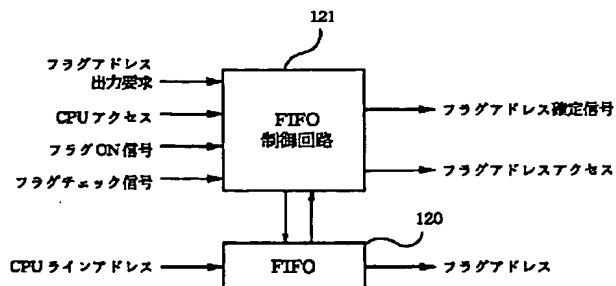
【図4】



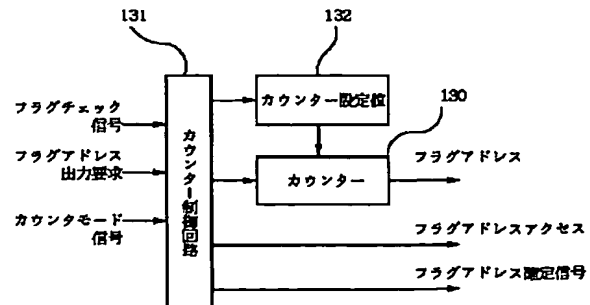
【図3】



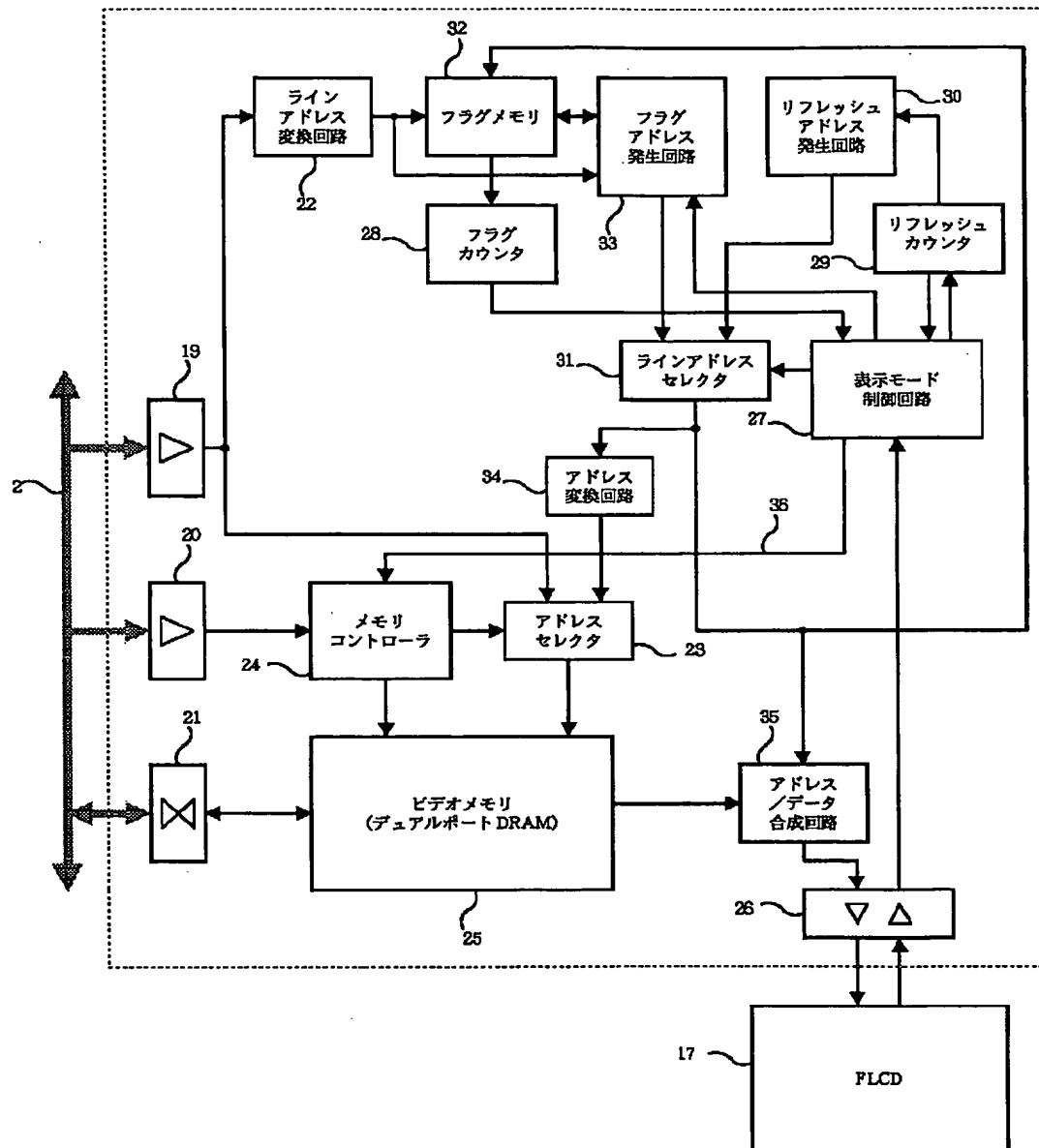
【図8】



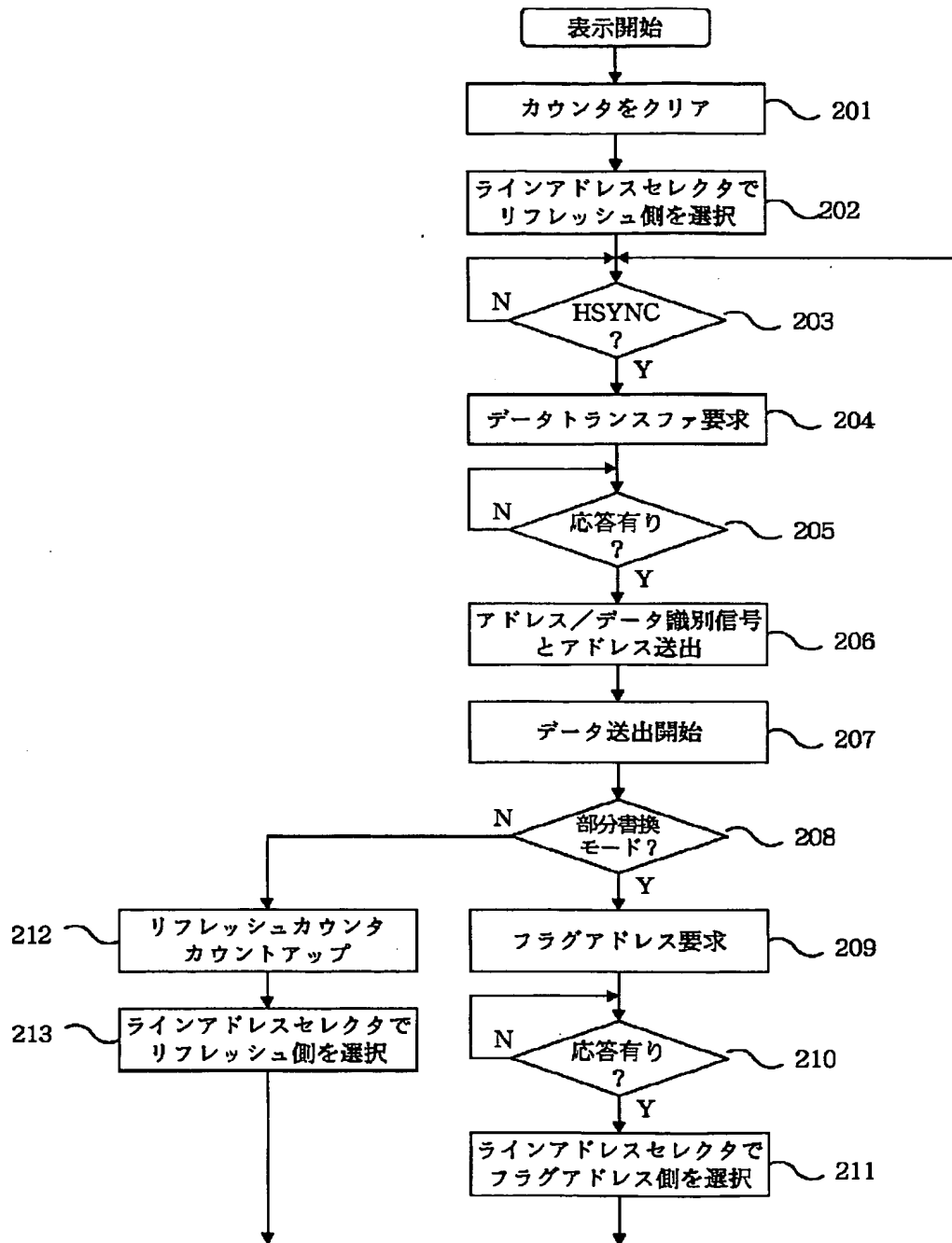
【図11】



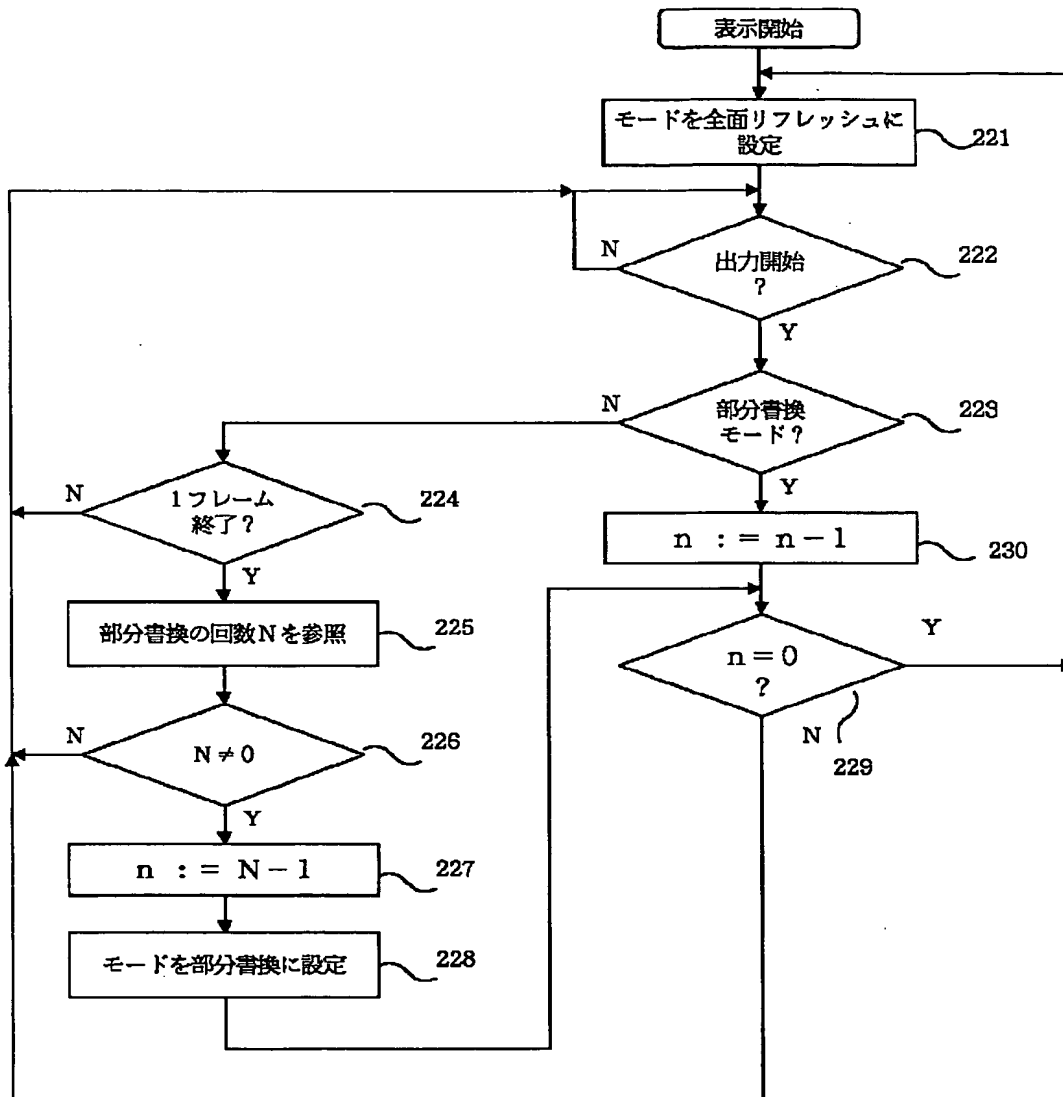
【図2】



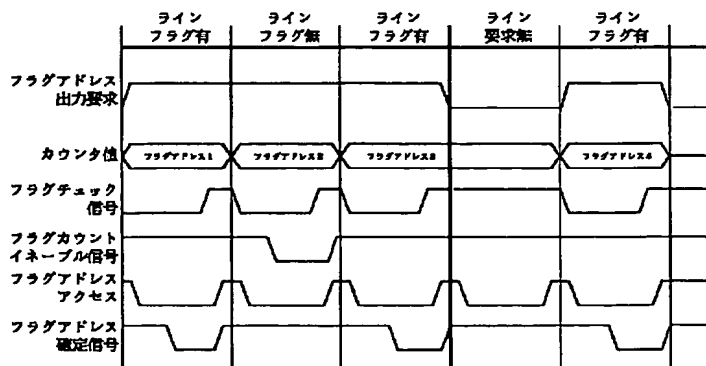
【図5】



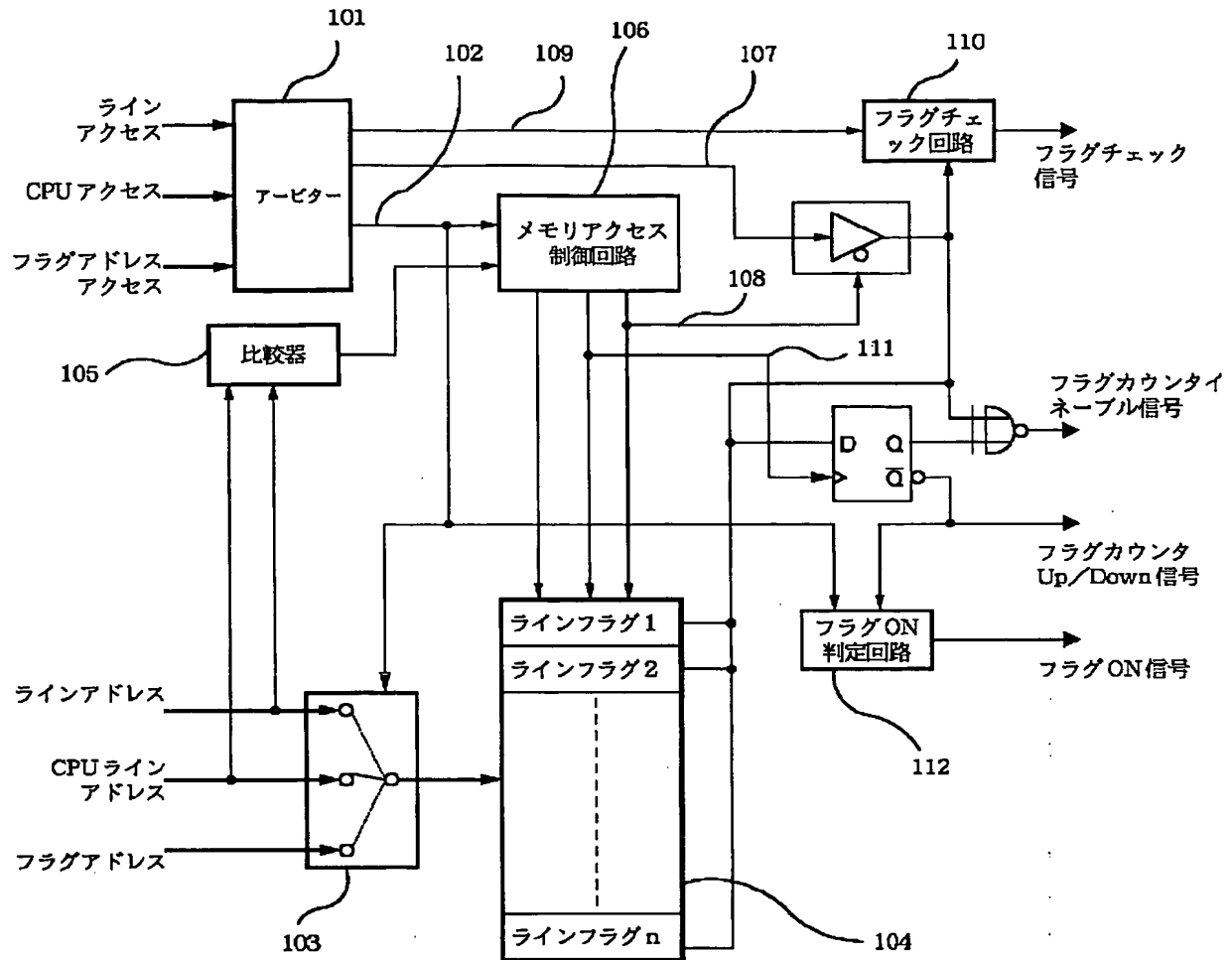
【図6】



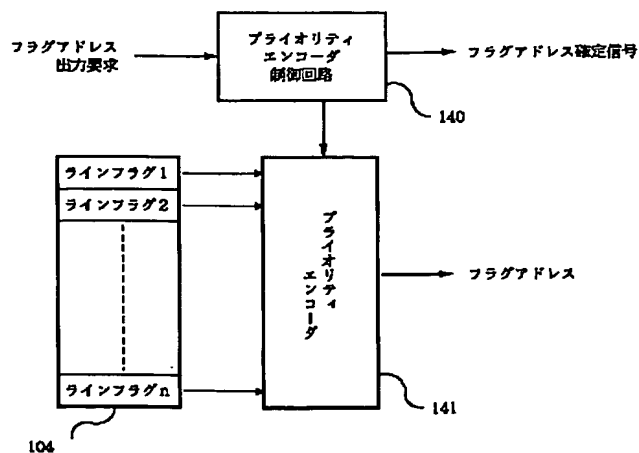
【図12】



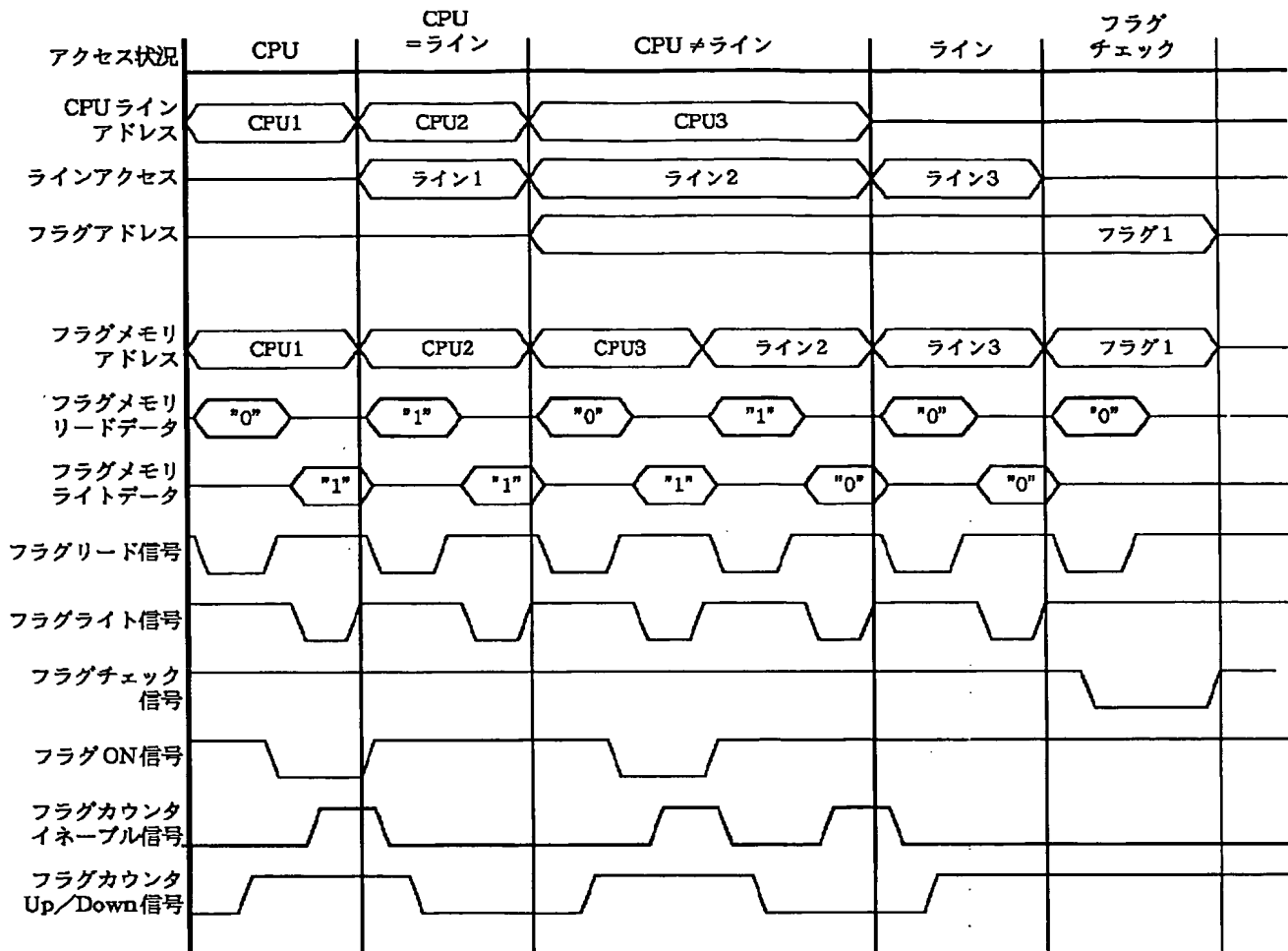
【図7】



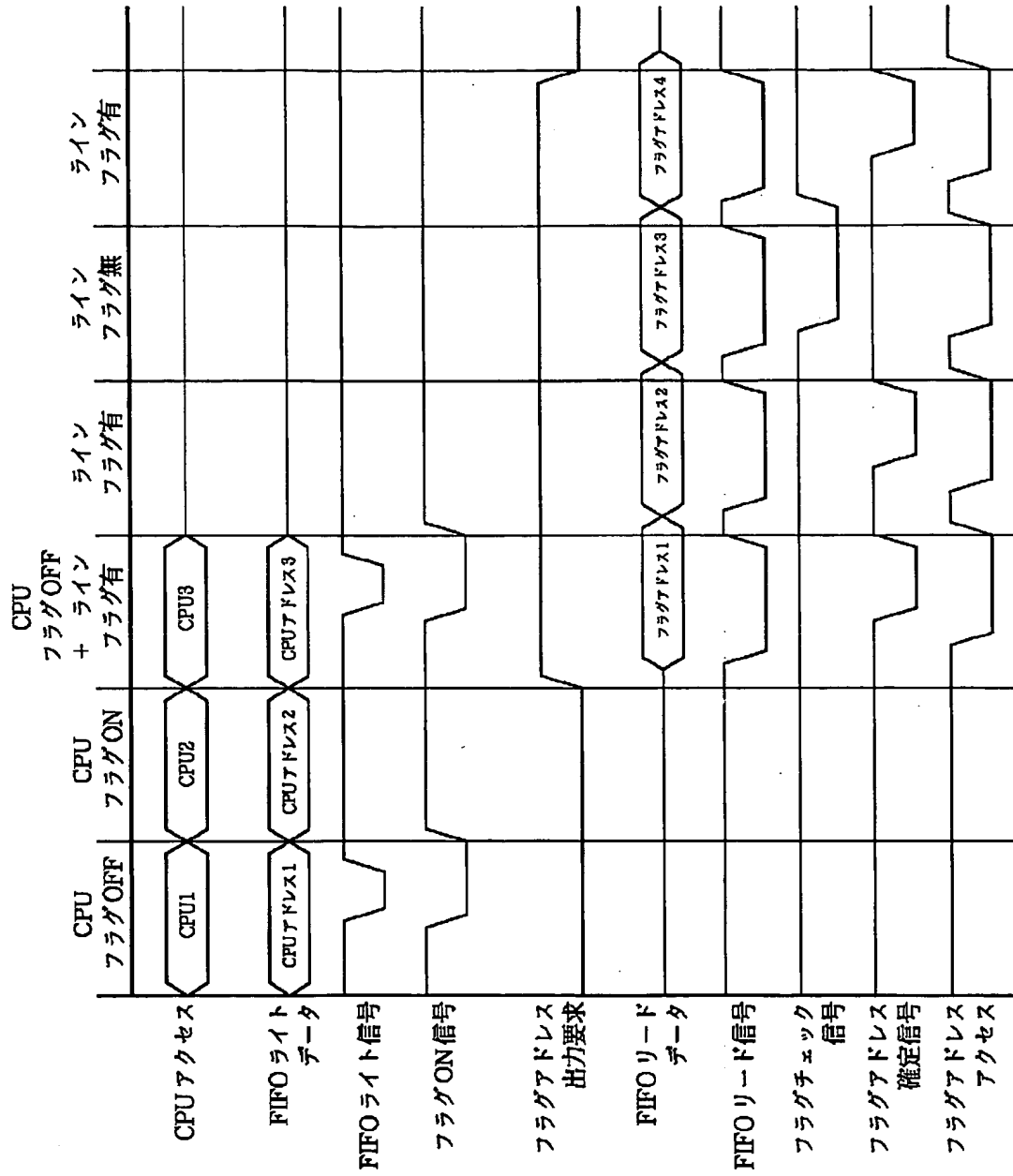
【図13】



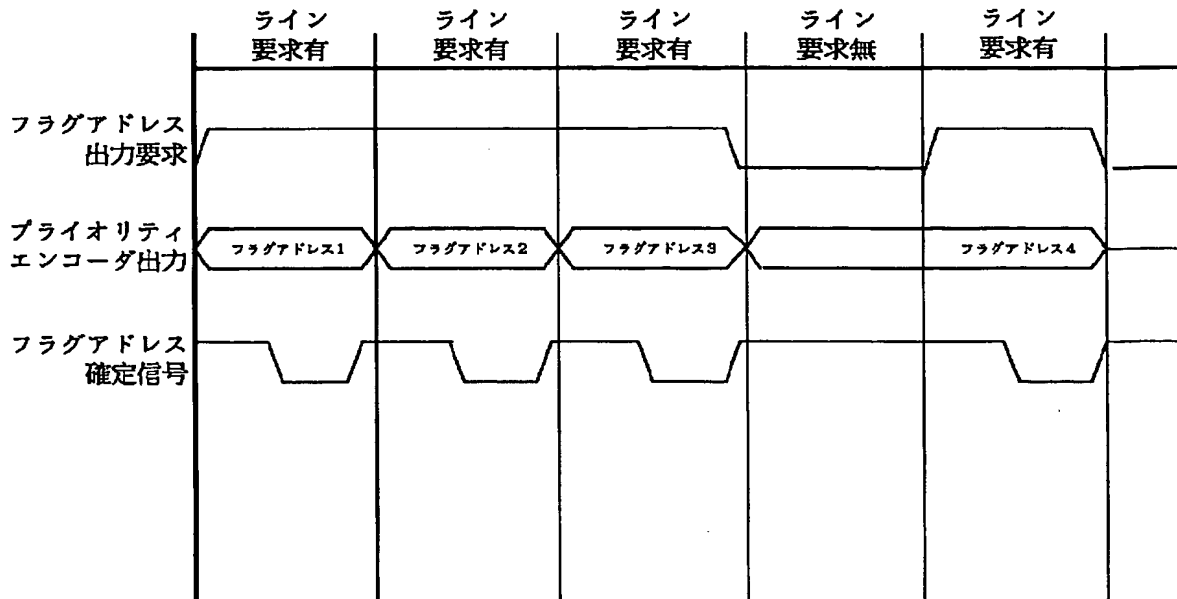
【図 9】



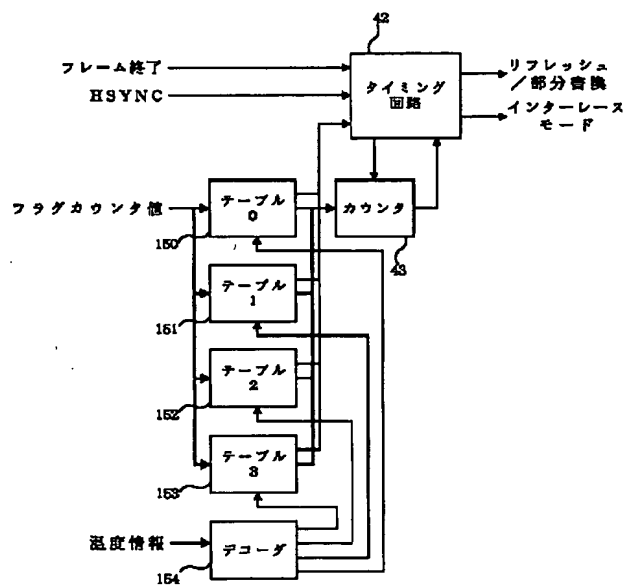
【図10】



【図14】



【図15】



フロントページの続き

(72)発明者 山梨 能嗣
 東京都大田区下丸子3丁目30番2号キャノ
 ン株式会社内